

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-183348

(P2000-183348A)

(43)公開日 平成12年6月30日(2000.6.30)

(51) Int.Cl.⁷

識別記号

F I

テーマコード* (参考)

H O 1 L 29/78

H O 1 L 29/78

6 5 2 D

6 5 2 H

審査請求 未請求 請求項の数26 OL (全 8 頁)

(21)出願番号 特願平11-349998

(22)出願日 平成11年12月9日(1999. 12. 9)

(31)優先權主張番号 98830737:7

(32)優先日 平成10年12月9日(1998.12.9)

(33)優先権主張国 ヨーロッパ特許庁 (E P)

(71)出願人 591002692

エステーマイクロエレクトロニクスエ

ス. アール. エル.

STMicroelectronics

S. r. l.

イタリア国 ミラノ 20041 アグラータ

ブリアンツァ ヴィア ツィー オリヴ

エッティ 2

(72)発明者 フェルッチオ フリシナ

イタリア国 カターニア 95030 サンタ

アガータ リ パッティアティ ヴィア

トレ トーリ 11

(74) 代理人 100059258

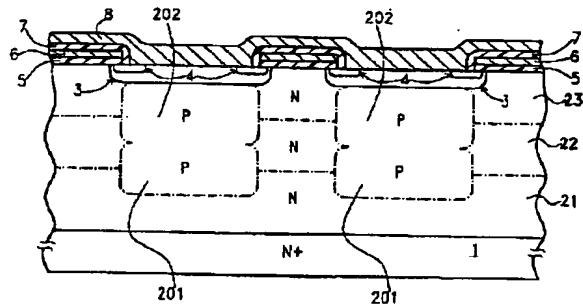
弁理士 杉村 暁秀 (外2名)

(54) 【発明の名称】 MOSゲート電力装置

(57) 【要約】

【課題】 出力抵抗の低いMOSゲート電力装置を提供する。

【解決手段】 本発明によるMOSゲート電力装置は、複数の素子機能ユニットを具え、これら素子機能ユニットが第2導電型の半導体材料層（2，21，22，23）中に形成した第1導電型の本体領域（3）を具える。半導体材料層（2，21，22，23）中に第1導電型の複数の不純物添加領域（20，201，202）が形成され、これら不純物添加領域（20，201，202）が各本体領域（3）の下側にそれぞれ配置されると共に隣接する不純物添加領域から前記半導体材料層（2，21，22，23）により分離する。



【特許請求の範囲】

【請求項1】 複数の素子機能ユニットを具え、これら素子機能ユニットが第2導電型の半導体材料層(2, 21, 22, 23)中に形成した第1導電型の本体領域

(3)を具えるMOSゲート電力装置において、前記半導体材料層(2, 21, 22, 23)中に第1導電型の複数の不純物添加領域(20, 201, 202)が形成され、これら不純物添加領域(20, 201, 202)が各本体領域(3)の下側にそれぞれ配置されると共に隣接する不純物添加領域から前記半導体材料層(2, 21, 22, 23)により分離されていることを特徴とするMOSゲート電力装置。

【請求項2】 前記半導体材料層(2, 21, 22, 23)第1の抵抗値を有し、前記不純物添加領域が(20, 201, 202)が前記第1の抵抗値よりも大きい第2の抵抗値を有することを特徴とする請求項1に記載のMOSゲート電力装置。

【請求項3】 前記本体領域の下側の不純物添加領域の第2の抵抗値が、不純物添加領域の幾何学的形状及び形成位置と共に、MOSゲート電力装置の降伏電圧を決定することを特徴とする請求項2に記載のMOSゲート電力装置。

【請求項4】 前記第1導電型の不純物添加領域が、前記第2導電型の半導体材料層の導電型を反転させる濃度の第1導電型の不純物を含むことを特徴とする請求項3に記載のMOSゲート電力装置。

【請求項5】 前記第1導電型の不純物添加領域に含まれる第1導電型の不純物が、前記半導体材料層中の不純物よりも大きな拡散性を有することを特徴とする請求項4に記載のMOSゲート電力装置。

【請求項6】 前記半導体材料層が第2導電型の高不純物濃度半導体基板の上側に形成され、前記本体領域の下側の不純物添加領域がほぼ前記半導体基板まで延在することを特徴とする請求項1から5までのいずれか1項に記載のMOSゲート電力装置。

【請求項7】 前記第1導電型をP型とし、前記第2導電型をN型としたことを特徴とする請求項1から6までのいずれか1項に記載のMOSゲート電力装置。

【請求項8】 前記第1導電型の不純物添加領域の不純物をアルミニウム原子としたことを特徴とする請求項7に記載のMOSゲート電力装置。

【請求項9】 前記第1導電型をN型とし、前記第2導電型をP型としたことを特徴とする請求項1から6までのいずれか1項に記載のMOSゲート電力装置。

【請求項10】 (a)高濃度の不純物が添加された第1導電型の半導体基板(1)上に、第1の抵抗値を有する第1導電型の半導体材料層(2, 21, 22, 23)を形成する工程と、(b)前記半導体材料層(2, 21, 22, 23)上に絶縁ゲート層(5, 6)を形成する工程と、(c)前記絶縁ゲート層(5, 6)を選択的に除

去して前記半導体材料層上(2, 21, 22, 23)の表面の選択された部分に窓を形成する工程と、(d)前記絶縁ゲート層(5, 6)の残存する部分をマスクとして用いて、前記半導体材料層上(2, 21, 22, 23)に第2の抵抗値を有する第2導電型の本体領域

(3)を形成する工程と、(e)前記本体領域(3)にソース領域(4)を形成する工程とを具え、前記半導体材料層(2, 21, 22, 23)に第2導電型の不純物添加領域(20, 201, 202)を形成し、各不純物添加領域が最終的に製造された装置の各本体領域(3)の下側に位置すると共に前記半導体材料層中に延在するMOSゲート電力装置を製造するに際し、前記本体領域の下側に位置する第2導電型の不純物添加領域(20, 201, 202)を、前記第1導電型の半導体材料層(2, 21, 22, 23)に第2導電型の不純物を前記半導体材料層(2, 21, 22, 23)の第1導電型を反転させるドーズ量でイオン注入することにより形成することを特徴とするMOSゲート電力装置の製造方法。

【請求項11】 前記第2導電型の不純物が、ライトリードドープ領域を形成するのに好適なドーズ量でイオン注入することにより形成されることを特徴とする請求項10に記載の方法。

【請求項12】 前記第2導電型の不純物が、前記第1の抵抗値よりも大きな第2の抵抗値を形成するドーズ量で前記半導体材料層に導入されることを特徴とする請求項10又は11に記載の方法。

【請求項13】 前記本体領域の下側の不純物添加領域を形成するためにイオン注入される第2導電型の不純物を、前記半導体材料層中で高い拡散性を有する不純物としたことを特徴とする請求項10から12までのいずれか1項に記載の方法。

【請求項14】 前記ソース領域を形成する工程が、第1導電型の不純物を選択的にイオン注入する工程とその後注入された不純物を熱拡散させる工程を具える請求項13に記載の方法において、前記本体領域の下側の不純物添加領域を形成するために注入される高い拡散性を有する不純物が、前記ソース領域が形成される前に注入され、前記ソース領域を形成する不純物の熱拡散中に半導体基板に向けてほぼ下向きに熱拡散されることを特徴とする方法。

【請求項15】 前記本体領域を形成する工程が、前記絶縁ゲート層の窓を介して第2導電型の不純物を注入する工程と、その後注入された不純物を熱拡散させる工程とを具える請求項13に記載の方法において、前記本体領域の下側に不純物添加領域を形成するために注入した高拡散性不純物が、前記本体領域が形成される前に注入され、前記本体領域を形成する不純物の熱拡散中に半導体基板に向けてほぼ下向きに熱拡散されることを特徴とする方法。

【請求項16】 前記高拡散性不純物が前記絶縁ゲート

層の窓を介してイオン注入されることを特徴とする請求項14又は15に記載の方法。

【請求項17】 前記高拡散性不純物が、前記絶縁ゲート層の窓の内側の絶縁層半導体材料層の表面領域に注入されることを特徴とする請求項14又は15に記載の方法。

【請求項18】 前記半導体材料層を形成する工程及び前記不純物添加領域を形成する工程が、第1の半導体材料のサブ層を形成するサブ工程を具え、前記第1の半導体材料中に第2導電型の不純物を選択的にイオン注入し、前記第1の半導体材料のサブ層の上側に第2の半導体材料のサブ層を形成して、前記半導体材料層の内に前記複数の半導体材料のサブ層により構成される不純物添加サブ領域を形成することを特徴とする請求項13に記載の方法。

【請求項19】 前記半導体材料のサブ層を形成するサブ工程を少なくとも1回繰返し、前記半導体材料層が前記半導体材料サブ層を積層することにより形成され、前記不純物添加領域が前記不純物が添加されたサブ領域を積層し合体することにより構成されることを特徴とする請求項18に記載の方法。

【請求項20】 前記半導体材料のサブ層を形成するサブ工程を少なくとも1回繰返し、前記半導体材料層が前記半導体材料サブ層を積層することにより形成され、前記不純物添加領域が、縦方向に互いに合体された不純物添加領域により構成されることを特徴とする請求項18に記載の方法。

【請求項21】 前記第1及び第2の半導体材料のサブ層がほぼ等しい厚さを有することを特徴とする請求項18から20までのいずれか1項に記載の方法。

【請求項22】 前記第1及び第2の半導体材料のサブ層が、 $5 \sim 10$ オーム/cm に対応するほぼ $5 \times 10^{14} \sim 3 \times 10^{15}$ 原子/cm³ の不純物濃度を有することを特徴とする請求項18から21までのいずれか1項に記載の方法。

【請求項23】 前記第1導電型をN型とし、前記第2導電型をP型としたことを特徴とする請求項10から22までのいずれか1項に記載の方法。

【請求項24】 前記高拡散性不純物をアルミニウムとしたことを特徴とする23に記載の方法。

【請求項25】 請求項24に記載の方法において、前記不純物が、 $100 \sim 900$ keV の範囲のエネルギー及び $5 \times 10^{11} \sim 1 \times 10^{13}$ 原子/cm のドーズ量でイオン注入されることを特徴とする方法。

【請求項26】 前記第1導電型をP型とし、前記第2導電型をN型としたことを特徴とする請求項10から22までのいずれか1項に記載の方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は高電圧MOSゲート電力

装置及びその製造方法に関するものである。

【0002】

【従来の技術】 300 Vと 1000 Vとの間の降伏電圧を有するMOSゲート電力装置は、高電圧を印加するために必要でありエピタキシャル層自身の不純物濃度に依存するエピタキシャルドレイン層抵抗に主として起因する高い出力抵抗（すなわち、オン抵抗）を有している。

【0003】 他方において、集積密度を増大する試みとしてMOSゲート電力装置の出力抵抗を増大することなく素子機能ユニット（セル又は細条）間の距離を短くすることを望む場合、共通のドレイン層の不純物濃度を高くする必要がある。しかしながら、この場合、MOSゲート電力装置の降伏電圧が低下してしまう。

【0004】 低い出力抵抗及び高い降伏電圧を有するMOSゲート電力装置を得るためには、異なる不純物濃度の多数のサブ層を有する電力装置（マルチドレイン装置、MDMOS）により実現することができる。

【0005】 別の既知の技術は米国特許第5216275号及び5438215号明細書に記載されており、これらの明細書においては、素子機能ユニットの本体領域の下側の共通のドレイン層はP型の本体「ポケット」と交互に形成したN型の区域により構成されている。

【0006】

【発明が解決しようとする課題】 上述した構造体は、トレンチエッチングと充填工程を有する製造プロセスにより得られるが、このプロセスは極めて複雑である。この理由は、ドレインの厚さが $20 \mu\text{m}$ と $100 \mu\text{m}$ との間にあり、セル又は細条の幅が約 $5 \sim 10 \mu\text{m}$ の範囲にあるためである。

【0007】 上述した従来技術の説明の観点より、本発明の目的は、低い出力抵抗を有する高電圧MOSゲート電力装置を実現することにある。

【0008】

【課題を解決する手段】 上記目的は、複数の素子機能ユニットを具え、これら素子機能ユニットが第2導電型の半導体材料層中に形成した第1導電型の本体領域を具えるMOSゲート電力装置において、前記半導体材料層中に第1導電型の複数の不純物添加領域が形成され、これら不純物添加領域が各本体領域の下側にそれぞれ配置されると共に隣接する不純物添加領域から前記半導体材料層により分離されていることを特徴とするMOSゲート電力装置により達成される。

【0009】 本発明の結果として、特に素子機能ユニットの下側に第1導電型の不純物添加領域が存在することにより、同一の降伏電圧の通常のMOSゲート電力装置に必要とされる抵抗よりも一層低い抵抗を有する共通のドレイン層を有するMOSゲート電力装置が実現される。

【0010】 さらに、素子機能ユニットの本体領域の下側の不純物添加領域は、電力装置の動作中に高電圧に維

持することができる。

【0011】本発明のこれらの及び他のの構成は、図示の2個の特有の実施例に基づいて明らかにする。尚、本発明は図示の実施例だけに限定されるものではない。

【0012】

【発明の実施の形態】図面特に図1を参照するに、本発明によるMOSゲート電力装置チップは高不純物濃度の半導体基板1を具え、この基板上に例えばエピタキシャル成長により半導体層2を形成する。図示の実施例において、Nチャネル電力MOSFETの場合基板1及び半導体層2の両方はN導電型とし、PチャネルMOSFETの場合基板1及び半導体層2の両方をP導電型とする。

【0013】エピタキシャル層2はMOSゲート電力装置の素子機能ユニットの共通のドレイン層を形成する。各素子機能ユニットはP型（一般的には、エピタキシャル層2の導電型とは反対導電型）の本体領域3を具える。この本体領域3は、「セルラー」MOSゲート電力装置の場合多角形構造（例えば、四角形又は六角形）を有し、或いはこれらの本体領域3は伸長状の細条（図1においては、紙面と直交する方向に延在する）として構成することができる。各本体領域3内に、N型（すなわち、エピタキシャル層2と同一導電型）の高濃度の不純物が添加されたソース領域4を形成する。

【0014】エピタキシャル層2の上側表面は、薄いゲート酸化層5及びポリシリコン層6を有する絶縁ゲート層により覆う。各本体領域3の上側の絶縁ゲート層に開口を形成する。絶縁性材料層7により絶縁ゲート層を覆い、各本体領域3の上側の絶縁性材料層7にコンタクト窓を形成してソース金属層8をソース領域4覆い本体領域3と接触させる。ドレイン金属層9を基板1の下側表面上側に形成する。

【0015】エピタキシャル層2の本体領域3の下側に、反対導電型でエピタキシャル層2にりも高い抵抗を有する領域20を形成する。この領域20はエピタキシャル層2の基板1に至るほぼ全厚さにわたって下向きに延在する。領域20はエピタキシャル層2の全厚さにわたって延在するように図示したが、当業者に理解されるように、領域20はエピタキシャル層2の一部分にわたってだけ延在してもよい。

【0016】領域20が本体領域3の下側に存在する結果として、MOSゲート電力装置の降伏電圧を低下させることなくエピタキシャル層2の抵抗を小さくすることができる。この理由は、MOSゲート電力装置の降伏電圧は、本体領域間の共通ドレイン層のき部分ではなく、本体領域の下側の共通ドレイン層の部分の抵抗及び厚さに依存するからである。すなわち、本体領域3の下側に不純物が添加された領域20が存在することにより、通常のデバイスにとって必要な抵抗よりも低い抵抗を有するエピタキシャル層を用いて所望の降伏電圧を達成する

ことができる。

【0017】エピタキシャル層2の抵抗が低下する結果として、MOSゲート電力装置の出力抵抗 R_{on} は低下する。この理由は、ソース領域から基板1に向けて流れる電流密度 I が一層低い抵抗と遭遇することになるからである。

【0018】また、MOSゲート電力装置の出力抵抗が増加する欠点が生ずることなく、互いに隣接する素子機能ユニット間の距離 d （図1）を短縮することができる。

【0019】図2～図6を参照しながら、本発明の製造プロセスについて説明する。図2を参照するに、高不純物濃度基板1上に半導体層2をエピタキシャル成長させ、このエピタキシャル層2の厚さは製造すべきMOSゲート電力装置の電圧クラスに依存し、例えば30～100Vの電圧範囲で動作するデバイスの場合エピタキシャル層2は約2～7 μm とすることができる。一方、通常のデバイスの場合エピタキシャル層の抵抗はMOSゲート電力装置の所望の降伏電圧に基づいて決定され（例えば、60Vの降伏電圧の場合1オーム cm ）、本発明においてはエピタキシャル層2は同一の所望の降伏電圧を達成するのに必要な抵抗よりも一層低い（例えば、0.6オーム cm ）抵抗を有する。

【0020】エピタキシャル層2の表面上に例えば熱酸化により薄い酸化層5を形成する。次に、ポリシリコン層6を酸化層5上に堆積する。

【0021】図3に示すように、ポリシリコン層6及び酸化層5をエピタキシャル層2の表面から選択的に除去して開口10を形成する。この工程は、フォトレジスト層11を堆積し、光源により開口10のパターンを支持するマスクを介してフォトレジスト層を露光し、フォトレジスト層11を選択的に除去し、ポリシリコン層6及び酸化層5のフォトレジスト層11により覆われていない部分をエッチングする工程を含む。開口10は多角形のレイアウト（例えば、四角形又は六角形、すなわちセルラのレイアウト）を有することができ、或いは伸長した細条とすることができる。

【0022】次に、MOSゲート電力装置の素子機能ユニットの本体領域を形成する不純物が添加された領域を形成する。この目的のため、ポリシリコン層及び酸化層6、5をマスクとして用いて（必要な場合、フォトレジスト層11も用いる）ボロンのようなP型の不純物を、ドーズ量の範囲が $5 \times 10^{13} \sim 5 \times 10^{14}$ 原子/ cm^2 で、80～200keV（図3）の注入エネルギーの範囲でイオン注入する。図4に示すように、次の不純物の熱拡散により、約 10^{17} 原子/ cm^3 のチャネル領域表面濃度を有する本体領域3が形成され、この不純物濃度はMOSゲート電力装置の所望の閾値電圧を達成するために必要な濃度である。

【0023】変形例として、本体領域3は、ポリシリコ

ン層及び酸化層6、5をマスクとして用いて異なるドーズ量及び異なる注入エネルギーの2個の個別のボロン注入により形成することができる。

【0024】例えば、第1のイオン注入は、P型不純物の注入を $10^{13} \sim 10^{14}$ 原子/cm²の範囲のドーズ量で約80keVの注入エネルギーで行い、本体領域の表面特にチャネル領域の不純物濃度を制御し、MOSゲート電力装置の所望の閾値に設定する。次の1050～1100℃の0.5～2時間にわたる熱拡散により、第1のイオン注入により導入された不純物の横方向拡散を決定してゲート酸化層の下側に延在する本体領域のチャネル領域を形成する。第2のイオン注入は、P型不純物の注入を $10^{13} \sim 10^{14}$ 原子/cm²の範囲のドーズ量で約100keVと300keVとの間の注入エネルギーで行い、不純物のピーク濃度を予め規定した深さ、すなわち後の工程で形成されるソース領域の下側に位置させる。第2のイオン注入により注入される不純物は本体領域の高濃度の不純物が添加された深い本体部分を形成し、ソース領域の下側の本体領域の抵抗を小さくする。

【0025】図5に示すように、ポリシリコン層及び酸化層6、5をマスクとして用いて（必要な場合、フォトレジスト層11も用いる）、P型の不純物好ましくはアルミニウムのような高い拡散性を有する不純物をエピタキシャル層にイオン注入する。注入ドーズ量は、エピタキシャル層の導電型がP型に反転させるのに適切なものとする。注入エネルギー（700keV～1MeVの範囲）は、不純物のピーク濃度が本体ドレイン接合にできるだけ接近するように（エピタキシャル層2の表面から1.5～2μm）設定する。

【0026】変形例として、図6に示すように、高拡散性不純物用の注入マスクは、ポリシリコン層及び酸化層6、5により規定される開口10よりも小さい開口100を規定する別のフォトレジスト層111により形成することができる。

【0027】次に、N型不純物（砒素又はリンのような）を高ドーズ量で本体領域3に選択的に注入してソース領域4を形成する。次に、N型不純物は熱処理により拡散させる。この熱処理中に、ソース領域用の不純物は、砒素の場合には約0.4～0.5μmの深さまで拡散し、リンの場合には0.6～0.7μmの深さまで拡散する。同一の熱処理中に、高拡散性のP型不純物は1.5～2μmの深さまで拡散し、ほぼ基板1に至る全ての本体領域3の下側に制御された態様で分布し、本体領域3の下側のエピタキシャル層2の導電型を反転させる。

【0028】以下の処理工程は、チップの全表面上に絶縁材料層7を形成し、絶縁材料層の本体領域3の上側部分にコンタクト窓を形成し、ソース金属層8及びドレイン金属層9を形成する工程を含む。

【0029】例えば厚いエピタキシャル層を有する高電

圧デバイスにおけるように、ソース不純物を拡散させるために用いる熱拡散処理が高拡散性不純物を完全に拡散させるのに不十分な場合、ソース不純物の熱拡散処理を変更し又は例えば本体領域3を形成する工程の前に高拡散性不純物を注入するように上述した工程の順序を反転し、本体領域の熱拡散処理を利用することができる。

【0030】図7～図13は図1の断面図と同様な断面図であり、本発明による製造プロセスの第2実施例の主要な工程を示す。この実施例は200～1000V又はそれ以上の電圧で動作できる高電圧デバイスの製造に特に好適である。これらのデバイスの特有な概念は、この高電圧で動作するためドレイン層の厚さは15～80μm又はそれ以上とする必要があることである。素子機能ユニットがセル又は細条の場合、この素子機能ユニットのサイズは5～15μmの範囲で変化する。

【0031】明らかなように、ドレイン層の実質的な厚さの観点より、基体の前側から単一のイオン注入を行う前述した製造プロセスは本体領域の下側のドレイン層中に十分な深さで延在するP型領域を形成するのにあまり適当ではない。

【0032】以下に説明する第2の実施例は上述した問題を解消することができる。

【0033】図7を参照するに、N型の第1のエピタキシャル層21をN⁺の基板1上に形成する。エピタキシャル層21は素子機能ユニットの大きさにほぼ等しい厚さX₁を有し、これら素子機能ユニットは例えば5～10μmのセル又は細条とする。エピタキシャル層21の厚さX₁は最終的なデバイスの全厚さよりも相当薄く、例えば1/3又はそれ以下である。エピタキシャル層21の不純物濃度レベルは、デバイスとして所望の高電圧を維持するために必要な不純物濃度よりも高い。 $5 \times 10^{14} \sim 3 \times 10^{15}$ 原子/cm³（5～10オームcm）の不純物濃度レベルが好適である。

【0034】図8を参照するに、次に、エピタキシャル層21の上側表面上に約200～1000Åの厚さの酸化層24を形成する。次に、フォトレジスト層34を酸化層24上に形成し、素子セル又は素子細条が形成される位置の区域を選択的に除去して開口101を形成する。フォトレジスト層34の開口101の幅は素子セル又は細条のサイズよりも僅かに小さくする。酸化層24は、その後行われるイオン注入を阻止せず且つフォトレジスト層34の除去工程中にエピタキシャル層21の上側表面を保護する程度の厚さを有する。

【0035】図9を参照するに、次に、フォトレジスト層34をマスクとして用いボロン又はアルミニウムのようなP型不純物をエピタキシャル層21に選択的に注入する。適当なイオン注入のエネルギーは100～900keVである。注入ドーズ量は、その後行う熱拡散処理の後注入されたP型不純物がエピタキシャル層21のN導電型を反転させるように選択する。好適なドーズ量の

範囲は、 $5 \times 10^{11} \sim 1 \times 10^{13}$ 原子/cm²である。

【0036】図10を参照するに、次に、フォトレジスト層34及び酸化層24を完全に除去し、第1のエピタキシャル層21上にN型の第2のエピタキシャル層22を形成する。好ましくは、第2のエピタキシャル層22の厚さ X_2 及びその不純物濃度は第1のエピタキシャル層21の厚さ X_1 及び不純物濃度と同様にする。熱酸化を処理を含む第2のエピタキシャル層22の成長中に、以前に注入したP型不純物が第1及び第2のエピタキシャル層21、22中に拡散し、この結果 10^{15} 原子/cm³にほぼ等しいか又はそれ以下の不純物濃度を有するP型領域201が形成される。

【0037】図11を参照するに、次に、別の酸化層25及びフォトレジスト層35を第2のエピタキシャル層22上に形成する。次に、フォトレジスト層34を除去するために以前に用いたものと同一のレイアウトを用いて、フォトレジスト層35を選択的に除去して開口102を形成する。次に、図9に示す工程で用いたものと同様なフォトレジスト層35をマスクとして用いてボロン又はアルミニウムのようなP型不純物を選択的に注入する。注入ドーズ量及びエネルギーは前述したものと同等に選択する。

【0038】図12を参照するに、次に、フォトレジスト層35及び酸化層25を完全に除去し、N型の第3のエピタキシャル層23を第2のエピタキシャル層22上に形成する。好ましくは、第3のエピタキシャル層23の厚さ X_3 及び不純物濃度は第2のエピタキシャル層22の厚さ X_2 及び不純物濃度と同様とする。熱処理を含む第3のエピタキシャル層23の成長中、以前に注入したP型の不純物が第2及び第3のエピタキシャル層22、23に拡散してP型領域202を形成し、このP型領域202の不純物は縦方向にも拡散する。このようにして、P型201及びP型202が合体して積層されたP型領域202、201が形成される。P型領域202及び201の不純物濃度は、それらの幾何学的配置及びサイズと相まって高電圧を維持するのに好適なものとなる。実際には、P型領域202、201の全電荷量とこれら領域間のN型ドレイン領域の全電荷量は同一にする必要があり、そのため上述した領域の幾何学的なサイズとこれら領域の不純物濃度との間には相関が存在する。

【0039】以後の工程は上述した第1の実施例のプロセスと同様である。明らかに、素子機能ユニットの本体領域は、図13に示すように、積層されたP型領域201及び202の上側の第3のエピタキシャル層23に形成する必要がある。積層されたP型領域201及び202は合併されて本体領域の下側にP型領域を形成する。

【0040】このように構成することにより、一層厚い厚さのエピタキシャル層を成長させることができ、特有のP型領域を形成するために互いに合体していない積層されたP型を得るために必要なエピタキシャル層の数

を減少させることができる。尚、これらの合体していない積層したP型領域は、装置の作動中に印加される電界により電気的に接続される。

【0041】変形例として、各エピタキシャル層21及び22にそれぞれ単一のイオン注入を行う代りに、各エピタキシャル層21及び22にそれぞれ数回のイオン注入を順次行うことができる。順次行うイオン注入は異なる注入エネルギーで行い、一不純物濃度の位置を異なる深さにする。これらイオン注入のドーズ量は例えば $5 \times 10^{12} \sim 5 \times 10^{13}$ 原子/cm²とし、注入エネルギー範囲は100keVから900keV又はこれ以上とする。例えばイオン注入される不純物がボロンの場合、300keV、600keV及び900keVの3回の注入を行って、0.7 μ m、1.2 μ m及び1.7 μ mの深さ位置にピーク不純物濃度を得ることができる。

【0042】このようにして、「箱形」の濃度プロファイルが得られる。

【0043】明らかなように、積層されるエピタキシャル層の数は3個以外の数とすることができる。形成すべきエピタキシャル層の数は、最終的なデバイスのドレイン層の全厚さ、すなわち電力装置が耐える電圧に依存する。

【図面の簡単な説明】

【図1】 本発明の第1実施例によるMOSゲート電力装置の断面図である。

【図2】 本発明の第1実施例による製造プロセスの中間の工程を示す図1と同様な断面図である。

【図3】 本発明の第1実施例による製造プロセスの中間の工程を示す図1と同様な断面図である。

【図4】 本発明の第1実施例による製造プロセスの中間の工程を示す図1と同様な断面図である。

【図5】 本発明の第1実施例による製造プロセスの中間の工程を示す図1と同様な断面図である。

【図6】 本発明の第1実施例による製造プロセスの中間の工程を示す図1と同様な断面図である。

【図7】 高電圧MOSゲート電力装置の製造に特に好適な本発明の第2実施例による製造プロセスの中間の工程を示す図1と同様な断面図である。

【図8】 本発明の第2実施例による製造プロセスの中間の工程を示す図1と同様な断面図である。

【図9】 本発明の第2実施例による製造プロセスの中間の工程を示す図1と同様な断面図である。

【図10】 本発明の第2実施例による製造プロセスの中間の工程を示す図1と同様な断面図である。

【図11】 本発明の第2実施例による製造プロセスの中間の工程を示す図1と同様な断面図である。

【図12】 本発明の第2実施例による製造プロセスの中間の工程を示す図1と同様な断面図である。

【図13】 図7から図12のプロセスにより得られた

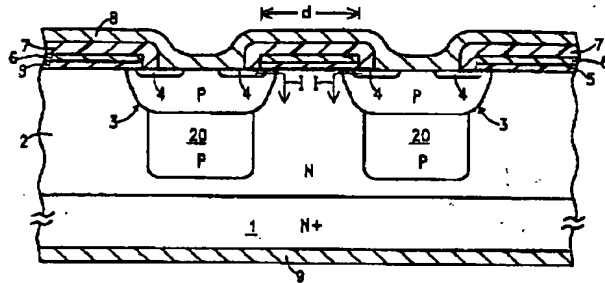
MOSゲート電力装置の断面図である。

【符号の説明】

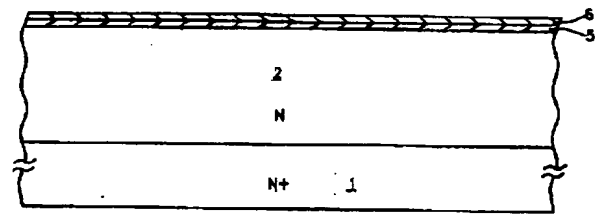
- 1 半導体基板
- 2 エピタキシャル層
- 3 本体領域
- 4 ソース領域

- 5 ゲート酸化層
- 6 ポリシリコン層
- 8 ソース金属層
- 9 ドレイン金属層
- 20 不純物添加領域

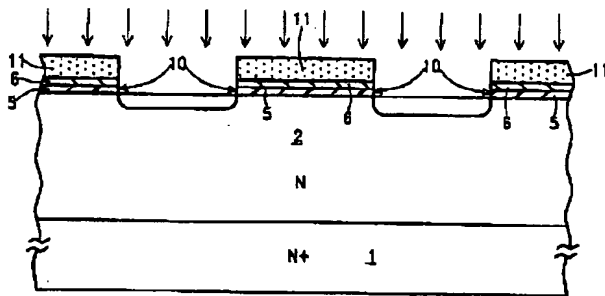
【図1】



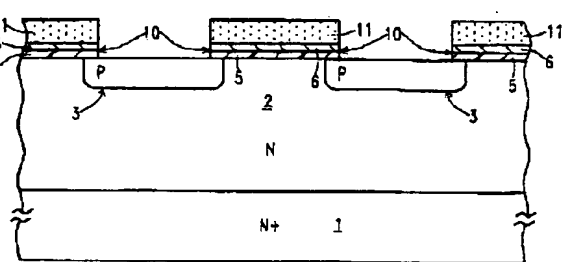
【図2】



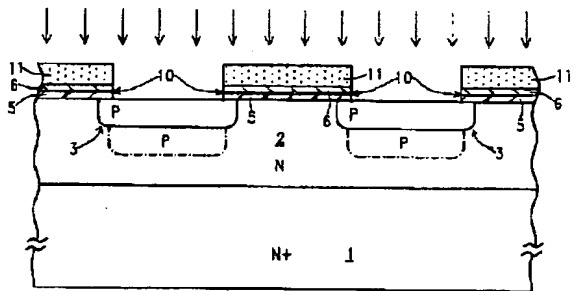
【図3】



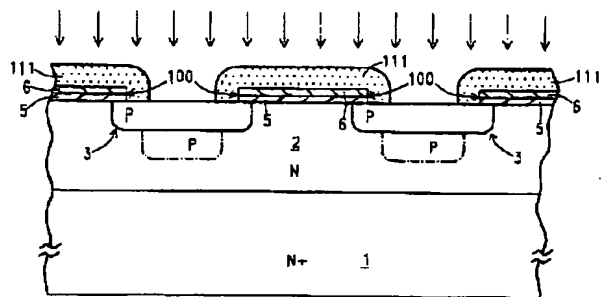
【図4】



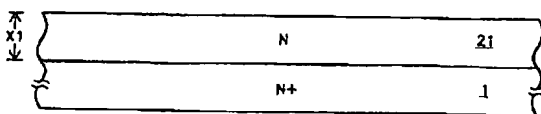
【図5】



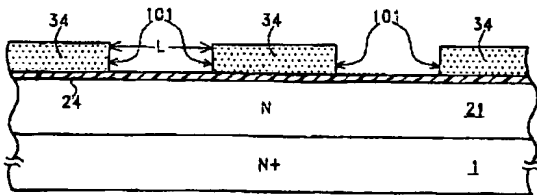
【図6】



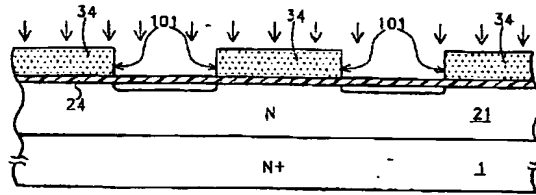
【図7】



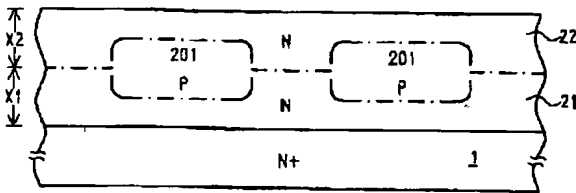
【図8】



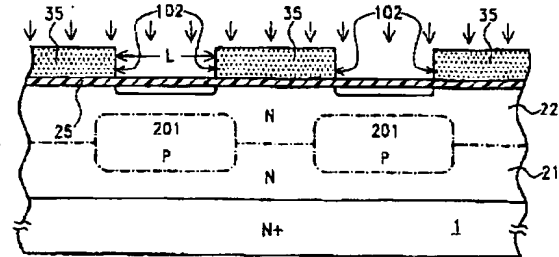
【図9】



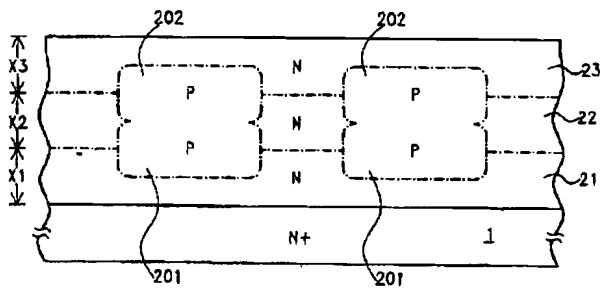
【図10】



【図11】



【図12】



【図13】

